

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 6
H01L 21/324

(11) 공개번호 특1998-071575
(43) 공개일자 1998년10월26일

(21) 출원번호 특1998-005388
(22) 출원일자 1998년02월20일

(30) 우선권주장 97-0392261997년02월24일일본(JP)
(71) 출원인 상요 덴기 가부시끼가이샤 다까노 야스아끼
일본 오사까후 모리구찌시 게이한 혼도오리 2쵸메 5방 5고
소니 가부시끼가이샤 이데이 노부유키
일본 도쿄도 시나가와구 기따시나가와 6쵸메 7-35
(72) 발명자 스즈끼 고우지
일본 아이찌쵸 하구리군 기소가와쵸 미쯔호우지 쓰지마에 1-501
(74) 대리인 구영창
이상희

심사청구 : 없음

(54) 다결정 실리콘막 제조 방법, 박막 트랜지스터 제조 방법, 및 어닐링 장치

요약

고 열전도율인 재료막상의 비정질 실리콘을 다결정화하여 균질한 다결정 실리콘을 형성한다.

기판(10) 상에 형성된 게이트 전극(12)의 위쪽에 게이트 절연막(14)을 통해 게이트 전극(12)을 걸치도록 a-Si막(20)을 형성하고, 그 후 a-Si막(20)에 대해 할로겐 램프 조사에 의한 RTA 처리 및 엑시머 레이저 조사에 의한 레이저 어닐링 처리를 실시하고, a-Si막(20)을 다결정화시켜서 p-Si막(24)을 얻는다. 2종류의 어닐링을 행함으로써, a-Si막(20)내, 특히 게이트 전극(12)의 위쪽 영역에서도 균질이며 적절한 그레인 사이즈의 다결정이 얻어진다. 얻어진 p-Si막(24)을 TFT의 능동층(채널 영역)으로서 이용하면 특성이 뛰어난 하부 게이트 구조의 다결정 실리콘 TFT가 얻어진다.

대표도

도2a

명세서

도면의 간단한 설명

도 1은 본 발명의 실시 형태에 관한 a-Si의 다결정화를 위한 어닐링 장치 구성을 나타내는 도면.
도 2는 본 발명의 실시 형태에 관한 하부 게이트 구조의 다결정 실리콘 TFT의 제조 공정을 나타내는 도면.
도 3은 본 발명의 실시 형태에 관한 하부 게이트 구조의 다결정 실리콘 TFT의 제조 공정을 나타내는 도면.
도 4는 하부 게이트 구조의 다결정 실리콘 TFT의 종래의 제조 공정을 나타내는 도면.
도 5는 하부 게이트 구조의 액정 구동용 TFT의 평면 구성을 설명하는 도면.
도 6은 종래의 다결정화 방법에 의해서 얻어진 p-Si막의 다결정화 상태를 나타내는 도면.

도면의 주요 부분에 대한 부호의 설명

10 : 기판
12 : 게이트 전극
14 : 게이트 절연막
20 : a-Si막
24 : p-Si막
30 : 채널 스토퍼막
34 : 채널 영역
36S : 소스 영역
36D : 드레인 영역
60 : ITO
100 : 할로겐 램프
102, 108 : 반송 롤러
104 : 예비 가열부
106 : 냉각부
200 : 광원
202 : 광학계
204 : 액시머 레이저 출사부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은, 액정 디스플레이 등의 매트릭스형 표시 장치의 박막 트랜지스터(TFT: Thin Film Transistor) 등의 각종 트랜지스터에 관한 것으로, 특히 이들 트랜지스터의 능동층으로서 유용한 다결정 실리콘막의 제조 방법에 관한 것이다.

최근, 표시 장치로서 고정밀, 고화질의 표시가 요구되고 있고, 액정 디스플레이에서는 그 때문에 액정 구동용의 스위칭 소자로서 박막 트랜지스터를 이용한 액티브 매트릭스 방식의 액정 디스플레이(AMLCD: Active Matrix Liquid Crystal Display)가 이용되고 있다.

TFT를 이용한 AMLCD에서는, 박막 트랜지스터의 능동층, 즉 채널 영역으로서, 비정질 실리콘을 이용하는 비정질 실리콘 TFT와, 다결정 실리콘막을 이용하는 다결정 실리콘 TFT가 알려져 있다.

이 중, 비정질 실리콘 TFT는 비정질 실리콘막이 저온(예를 들면, 300도)에서 성막될 수 있기 때문에, 융점이 낮은 염가의 유리 기판 상에 형성하는 것이 용이하고, 또한 넓은 면적 범위에 균질한 비정질 실리콘막을 형성하는 것이 용이하기 때문에 패널의 대형화에 유리하므로, 현재 시점에서 대형 LCD에 많이 이용되고 있다.

한편, 다결정 실리콘 TFT는 비정질 실리콘막에 비교하여 다결정 실리콘막의 이동도가 높고, TFT로 한 경우에 온 전류가 크고 시트 저항(온 저항)이 낮은 등, 응답성이나 구동 능력이 뛰어나다. 따라서, 고정밀·고화질의 LCD의 스위칭 소자로서 유용시되고 있다. 또한, 대형화에 따라 선택 기간(듀티비)이 짧아지기 때문에 대형 LCD용의 액정 구동용 소자로서도 그 유용성이 지적되고 있다. 또한, 다결정 실리콘 TFT는 다결정 실리콘막을 능동층으로서 이용하고 있기 때문에, 화소부의 액정 구동용 소자로서 뿐만 아니라, 구동 회로의 논리 회로를 구성하는 스위칭 소자로서도 이용할 수 있고, 또한, 이들 액정 구동용 소자 및 논리 회로의 소자를 동일 공정으로 동일 기판 상에 형성하는 것도 가능하다. 이 때문에, 현재, 다결정 실리콘 TFT는 화소부와 구동부를 동일 기판 상에 형성한 소위 드라이버 내장형 LCD로서, 예를 들면 고정밀, 고화질, 그리고 소형인 것이 요구되는 중·소형의 LCD에 많이 이용되고 있다.

다결정 실리콘 TFT는 이상과 같이 LCD의 고정밀·고화질화, 또한 드라이버를 내장함으로써 패널 주변의 공간 절약화, 경량화가 도모되기 때문에 디스플레이의 대형화에 있어서도 유용하다.

그래서, 비정질 실리콘 TFT와 같이, 다결정 실리콘 TFT를 융점(600도 정도)이 낮은 염가인 유리 기판 상에 높은 수율로 형성하는 것이 요구되고 있다. 그러나, 현재 시점에서 유리 기판의 융점(600도 정도) 이하의 온도에서, 적절한 그레인 사이즈를 갖는 다결정 실리콘막을 형성하는 것은 곤란하다. 이 때문에, 최초로 비정질 실리콘막을 기판 상에 형성하고, 이것을 레이저 어닐링을 이용하여 비교적 저온으로 다결정화시켜서 다결정 실리콘막을 형성하는 방법이 제안되고 있다.

예를 들면, 도 4에 도시한 바와 같은 LDC용의 하부 게이트 구조의 다결정 실리콘 TFT의 제조에서는, 유리 기판 상에 형성된 비정질

실리콘막에 엑시머 레이저를 조사하여 비정질 실리콘막을 가열하고, 이것을 다결정화하는 레이저 어닐링 방법이 알려져 있다.

하부 게이트 구조의 다결정 실리콘 TFT의 제조에서는, 우선, 유리 기판(10) 상에 Cr막을 형성하여 이것을 소정의 형상으로 패터닝하고, 도 4의 (a)에 도시한 바와 같이 게이트 배선과 일체인 게이트 전극(12)을 제작한다. 다음에, 도 4의 (b)에 도시한 바와 같이, 2층 구조의 게이트 절연막(14)과, 비정질 실리콘막(이하 a-Si막)을 플라즈마 CVD(PE-CVD : Plasma Enhanced Chemical Vapor Deposition)에 의해서 연속 형성한다.

그리고, 형성한 a-Si막(20)에 엑시머 레이저를 조사하여 a-Si막(20)을 어닐링(ELA: Excimer Laser Annealing)하고, 이것에 의해서 a-Si를 다결정화하여 다결정 실리콘(이하, p-si : 22)을 얻는다. 이 때의 기판 온도는 통상 실온 ~ 300도 정도이다.

다결정화에 의해 p-Si막(22)을 형성한 후, p-Si막(22) 상에서, 채널 영역(44)을 형성하여야 할 영역(게이트 전극(12)과 대향하는 영역)에, SiO₂으로 이루어지는 채널 스토퍼막(30)을 형성한다(도 4의 (d) 참조). 다음에, 이 채널 스토퍼막(30)을 마스크로하여, TFT의 소스·드레인 영역에 상당하는 영역에, 도면 중의 위쪽에서 불순물(예를 들면, 인)을 도핑한다. 또, 도 4의 (d)에 도시한 TFT는 LDD (Lightly Doped Drain) 구조이며, 도면 중의 영역(42LS, 42LD)이 각각 저농도(N-) 소스·드레인 영역이고, 영역(40S, 40D)이 고농도 영역(N+)으로 되어 있다.

불순물을 도핑 후, 램프 어닐링에 의한 단시간 열 어닐링 처리(RTA: Rapid Thermal Annealing)를 실시하고, 도핑된 불순물을 활성화하여 이에 따라 p-Si막(22)내에 소스·드레인 영역, 채널 영역을 형성한다. 그 후, 층간 절연막(50, 52)을 형성함과 동시에, 소스 영역(40S)에는 소스 전극(소스 배선을 겸용하는 것이 많다: 70)을 접속하고, 드레인 영역(40D)에는, LCD의 화소부의 TFT의 경우, 화소 전극(60)으로서 투명 도전막인 ITO(Indium Tin Oxide)를 접속하고, LCD의 한쪽 기판을 얻는다. 또, 도 4의 (d)에 도시한 TFT의 평면 배치는 예를 들면, 도 5에 도시한 바와 같은 배치로 되어 있다(단, 도 5는 소스 전극(70), 화소 전극(60) 형성 전의 상태를 나타내고 있다).

발명이 이루고자하는 기술적 과제

이상과 같이, 종래, 하부 게이트 구조의 다결정 실리콘 TFT에 있어서는, a-Si막(20)을 ELA에 의해 다결정화하여 p-Si막(22)을 얻고 있다.

이와 같은 a-Si의 다결정화는, 공급되는 열량, 즉 에너지량에 의존하기 때문에, a-Si막에 제공하는 열량, 즉 엑시머 레이저의 면내 에너지를 균일하게 제어하는 것이 균질한 p-Si막(22)을 형성하는 데에 있어서 중요하다.

그러나, 실제로는, ELA에 의해 형성된 p-Si막(22)의 그레인 사이즈가 전 영역에 걸쳐 균일하게 되지 않는 문제가 있었다.

이와 같은 막질의 불균일성이 발생하는 최대의 원인은, 하부 게이트 구조의 TFT에서는 다결정화하여야 할 a-Si막(20)이, 도 4 혹은 도 5에 도시한 바와 같이 열전도성이 높은 게이트 전극(12)의 위쪽의 일부를 피복하도록, 즉 게이트 전극(12)을 겹치도록 형성되어 있기 때문이다. 즉, 게이트 전극(12)을 구성하는 금속 재료(예를 들면 Cr)는, 주변의 유리 기판(10) 등 보다도 높은 열전도율을 갖고 있고, a-Si막(20)에 엑시머 레이저를 조사하면, a-Si막(20) 중 하층에 게이트 전극(12)이 존재하는 영역에서는, 엑시머 레이저에 의한 열이 게이트 전극(12) 및 게이트 배선에 의해서 다른 유리 기판 영역보다도 빠르게 확산되는 것이다.

예를 들면, 도 6에 도시한 바와 같이, 게이트 전극(12)이 없는 영역(22Sub)에서는 a-Si막(20)이 적절한 그레인 사이즈의 다결정 실리콘이 되지만, 동일한 어닐링 조건 하에서, 게이트 전극(12)이 존재하는 영역(22G)의 a-Si막(20)의 다결정화는 불충분하고, 적절한 그레인 사이즈의 다결정 실리콘으로는 되지 않는다.

또, 다결정화에 따라서 형성되는 p-Si막(22)의 게이트 전극위쪽 영역(22G)은 TFT의 채널 영역을 구성하기 때문에, 이 영역(22G)의 다결정의 그레인 사이즈가 충분히 커지도록, 레이저 어닐링의 조건을 제어하는 것도 고려된다. 그런데, 실리콘막의 게이트 전극(12) 위쪽 영역(22G)의 그레인 사이즈가 적절하게 되도록 어닐링 조건을 설정하면, 이번에는, 유리 기판 상의 영역(22Sub)에서의 다결정의 그레인 사이즈가 적성(適性) 범위보다도 커지거나, 혹은 에너지의 과공급에 의해 오히려 그레인 사이즈가 작아져서, 이 영역의 특성이 허용 범위 내에 속하지 않게 된다. 따라서, 어닐링 조건을 채널 영역의 다결정화에 부합시켜도, 결국, 균질하고 또한 적절한 그레인 사이즈의 p-Si막을 형성할 수 없었다.

또한, 상술한 바와 같은 면 내에서 불균일한 그레인 사이즈의 p-Si막(22)을 이용하여 TFT를 구성한 경우, 각 TFT의 특성(예를 들면 그레인 사이즈에 의존하는 온 전류, 시트 저항)의 변동이 커진다. 따라서, LCD의 화소부의 TFT로서 이용한 경우, 표시에 얼룩짐이 발생하게 되어 LCD의 표시 품질에 악영향을 주는 원인이 된다고 하는 문제가 있다.

본 발명은, 이러한 과제를 해결하기 위해 이루어진 것으로, 비정질 실리콘을 다결정화하여 균질한 다결정 실리콘을 형성하는 것을 목적으로 한다. 또한, 이러한 다결정 실리콘막을 이용하여 특성이 뛰어난 박막 트랜지스터를 제공하는 것을 목적으로 한다.

본 발명은, 상기 목적을 해결하기 위해 이루어진 것으로, 이하와 같은 특징을 구비한다.

우선, 다결정 실리콘막의 제조 방법에 있어서, 본 발명은 기판 상에 형성된 열전도율이 높은 재료막의 위쪽에 적어도 일부가 중첩되도록 비정질 실리콘막을 형성하고, 상기 비정질 실리콘막 형성 후, 상기 비정질 실리콘막에 대해 램프 어닐링 처리 및 레이저 어닐링 처리를 실시하고, 상기 비정질 실리콘막을 다결정화시켜 다결정 실리콘막을 얻는 것이다.

또한, 본 발명은 유리 기판 상에 형성되는 하부 게이트 구조의 박막 트랜지스터의 제조 방법이고, 상기 유리 기판 상에 원하는 패턴으로 형성된 게이트 전극 재료막의 위쪽에, 비정질 실리콘막을 게이트 절연막을 통해 형성하고, 상기 비정질 실리콘막 형성 후, 상기 비정질 실리콘막에 대해 램프 어닐링 처리 및 레이저 어닐링 처리를 실시하고, 상기 비정질 실리콘막을 다결정화시켜 다결정 실리콘막을 형성하고, 얻어진 다결정 실리콘막을 박막 트랜지스터의 능동층으로 하는 것이다.

또한, 본 발명은 유리 기판 상에 형성되는 하부 게이트 구조의 박막 트랜지스터의 제조 방법에 있어서, 상술한 바와 같이, 비정질 실리콘막 형성 후, 상기 비정질 실리콘막에 대해 램프 어닐링 처리 및 레이저 어닐링 처리를 실시하고, 상기 비정질 실리콘막을 다결정화하여 다결정 실리콘막을 형성하고, 상기 다결정 실리콘막에 불순물을 도핑하고, 이 불순물을, 다결정 실리콘막에 대해 레이저 어닐링 처리 또는 램프 어닐링 처리 중 어느 한쪽 또는 양쪽을 실시함으로써 활성화하고, 상기 다결정 실리콘막 중에 박막 트랜지스터의 소스, 드레인 영역 및 채널 영역을 형성하는 것이다.

또한, 상기 제조 방법에 있어서, 본 발명은 비정질 실리콘막의 다결정화시에, 상기 비정질 실리콘막에 대해 램프 조사에 의한 단시간 열 어닐링 처리를 실시하고, 상기 단시간 열 어닐링 처리와 전후하여 상기 비정질 실리콘막에 대해 엑시머 레이저광 조사에 의한 레이저 어닐링 처리를 실시하고, 상기 비정질 실리콘막을 다결정화하여 다결정 실리콘막을 형성하는 것이다.

또한, 본 발명은 비정질 실리콘을 다결정화하기 위한 어닐링 장치에 있어서, 할로겐광을 조사하여 피어닐링체를 어닐링하기 위한 단시간 열 어닐링 처리부와, 엑시머 레이저를 조사하여 상기 피어닐링체를 어닐링하기 위한 레이저 어닐링 처리부를 근접 배치한 것이다.

발명의 구성 및 작용

이하, 본 발명의 적절한 실시 형태(이하, 실시 형태)에 대해 도면을 이용하여 설명한다. 또, 이하의 설명에 있어서, 이미 설명한 도면과 동일 부분에는 동일 부호를 붙여 설명을 생략한다.

[a-Si의 다결정화 방법] 본 실시 형태에서는, a-Si의 다결정화를 위한 어닐링 처리로서, 램프를 이용한 RTA와, 엑시머 레이저를 이용한 ELA와의 2종류의 어닐링 처리를 실시한다. 특히, 다결정화하여야 할 비정질 실리콘막의 하층 일부에 게이트 전극이 존재하는 하부 게이트 구조의 TFT에 있어서, TFT의 능동 영역, 즉 채널 영역 부분을 적절하게 다결정화하기 위해서 상기 2종류의 어닐링 처리를 채용하고 있다.

이와 같은 본 실시 형태에 관한 어닐링 처리 장치는 도 1에 도시한 바와 같은 구성을 구비한다.

우선, RTA 처리부의 구성부터 설명한다. RTA 처리부는, RTA 장치에 근사한 것이다. 본 실시 형태에서는, 피어닐링체로서의 a-Si막이 형성된 기판(110)이, 반송 롤러(102)에 의해서 장치 내에 반입되고, 예비 가열부(104)로 반송된다. 예비 가열부(104)는, 반입된 기판(110)을 예비 가열한다. 기판의 반송로의 상하에는 할로겐 램프(예를 들면, 크세논 아크 램프: 100)가 설치되어 있고, 예비 가열된 기판(110)이, 이들 할로겐 램프(100)에 의한 라인형의 가열 영역을 통과함으로써, a-Si이 가열되어 다결정화가 발생한다.

가열 영역을 통과한 후, 기판(110)은 냉각부(106)로 반송된다. 이 냉각부(106)는 소정의 온도로 보온되어 있고, 가열 영역 통과 후에 있어서의 기판(110)의 급격한 냉각을 피하고, 기판(110)의 온도 저하 속도를 컨트롤한다. 냉각부(106)를 통과하면, 기판(110)은 반송 롤러(108)에 의해서 장치로부터 반출되고, 후술하는 바와 같이 다음 공정(본 실시 형태에서는 채널 스톱퍼 형성 공정)으로 진행된다.

본 실시 형태에서는, 이와 같은 RTA 처리부의 할로겐 램프(100)에 의한 가열 영역의 바로 후단에, ELA 처리부의 엑시머 레이저 출사부(204)가 설치된다. 그리고, 할로겐광이 조사되어 가열된 a-Si막에 대해, 다시 엑시머 레이저를 조사한다. 엑시머 레이저 출사부(204)는 본 실시 형태에 있어서는 라인형이고, 라인형의 엑시머 레이저 빔이 기판(110) 표면의 a-Si에 조사된다. 또, ELA 처리부는 광원(200), 광학계(202) 및 엑시머 레이저 출사부(204)를 구비하고, 엑시머 레이저는 광원(200)으로부터 원하는 광학계(202)를 통해 출사부(204)에 공급되어 있다. 또, ELA 처리부와 RTA 처리부와 배치 관계는 반드시 도 1에 도시한 배치에 한정되지 않고, ELA 처리부의 엑시머 레이저 출사부(204)를 RTA 처리부의 할로겐 램프(100)보다도 전단에 설치하는 구성도 적용 가능하다.

도 1에 도시한 바와 같은 어닐링 장치 구성에 의해, a-Si막에 대해 할로겐 광 조사 후, 연속하여 엑시머 레이저가 조사되게 된다. 그리고, 이러한 구성에 의해서, a-Si에 대해 2종류의 어닐링이 행해지고, 게이트 전극 위쪽에 적절한 그레인 사이즈의 p-Si를 형성할 수 있음과 동시에, 유리 기판 위쪽의 영역에 있어서의 a-Si에 관해서도 적절한 p-Si를 얻는 것이 가능해진다.

2종류의 어닐링의 채용에 의해서, 이러한 효과가 얻어지는 것은, 예를 들면 이하와 같은 이유에 의한 것이다.

우선, ELA에 의한 a-Si의 다결정화는 종래 기술에서 도시한 바와 같이, 게이트 전극 위쪽의 a-Si 영역보다도 유리 기판 위쪽의 a-Si 영역 쪽이 우선적으로 진행된다.

이것에 대해, a-Si의 다결정화에 관련되어 할로겐 램프를 이용하여 RTA를 행한 경우, 할로겐광은, a-Si막에 대해서는 흡수가 약하고, 게이트 전극에 대해서는 흡수가 강하다. 그래서, 게이트 전극을 걸치도록 형성되어 있는 a-Si막에 대해 RTA를 실시하면, a-Si막 내, 게이트 전극이 하층에 존재하는 영역에서는 게이트 전극이 할로겐광을 흡수하여 발열하고, a-Si의 다결정화가 우선적으로 진행된다. 한편, 유리 기판도 a-Si막과 같이 할로겐광에 대한 흡수가 약하기 때문에, 유리 기판 상에 형성되어 있는 a-Si막 영역은 게이트 전극 상 영역에 비교하면 흡열량이 적고, 이들 영역에서의 다결정화는 느리다.

도 1과 같이, 다결정화를 위해 RTA와 ELA를 조합시키면, 할로겐광의 조사에 의해 게이트 전극 상의 a-Si가 다른 영역보다도 가열된 상태에서 엑시머 레이저가 조사되게 된다. 따라서, 게이트 전극의 열 확산에 의해 엑시머 레이저 조사에서는 가열이 불충분해지기 쉬운 게이트 전극 상의 a-Si 영역을 충분히 가열하는 것이 가능해진다. 이 때문에, 엑시머 레이저 조사 후에 있어서의 a-Si막 내의 온도의 게이트 전극 위와 유리 기판 상에서의 격차가 작아져서, 균질하게 다결정화가 진행하고, 적절한 그레인 사이즈의 p-Si막을 얻는 것이 가능해지는 것이다. 게다가, 소스·드레인 영역의 p-Si의 막질을 열화시키지 않고, TFT에 있어서 가장 중요한 채널 영역, 즉 게이트 전극 상의 a-Si를 충분한 그레인 사이즈의 p-Si로 할 수 있다.

또한, 융점이 낮은 염가인 유리 기판 상에 다결정 실리콘 TFT를 제조한다고 하는 관점에서, RTA와 ELA의 2종류의 어닐링 처리를 조합시키는 것은 효과가 높다. 즉, ELA를 이용한 경우, 상술한 바와 같이 게이트 전극상의 a-Si 영역을 충분히 다결정화하는 것이 어렵지만, 예를 들면 기판 온도 300도 정도의 저온에서의 처리가 가능하다. 한편, RTA만으로 a-Si를 충분히 다결정화하기 위해서는, 도 1의 막 온도를 예를 들면 600 내지 900도 정도로 할 필요가 있다. 그러나, 기판 온도가 600도 이상으로 되면, 기판으로서 융점 600도 정도의 염가인 유리를 이용하는 것은 어렵게 된다.

본 실시 형태에서는, 엑시머 레이저를 a-Si에 조사하므로, RTA에서 그만큼 온도를 높게 설정할 필요가 없다. 예를 들면, 500도, 혹은 그 이하로 할 수 있다. 따라서, 본 발명에서는 내열성이 낮은 유리 기판 상에서도 막질이 좋은 결정 실리콘 TFT를 형성하는 것이 용이해진다.

[다결정 실리콘 TFT의 제조 방법] 다음에, 도 1, 도 2 및 도 3을 참조하여, 상기 a-Si의 다결정화 방법을 이용한 하부 게이트 구조의 다결정 실리콘 TFT의 제조 방법의 일례에 대해 설명한다.

도 2의 (a)에 도시한 바와 같이, 우선, 유리 등의 절연 기판(10) 상에 게이트 전극 및 게이트 전극과 일체인 게이트 배선(이하, 단순히 게이트 전극(12)이라함)으로서, Cr(W, Ta, Ta Mo이어도 좋다)을 스퍼터링에 의해서 형성하고, 원하는 형상으로 패터닝한다(패터닝 평면 형상에 대해서는, 도 5 참조).

게이트 전극(12) 형성 후, 그 표면을 포함하는 기판(10)의 전면에서 2층 구조의 게이트 절연막(14: SiN₁₆, SiO₂₁₈) 및 a-Si막(20)을 PE-CVD에 의해 연속 형성한다(도 2의 (b) 참조).

다음에, 도 1의 어닐링 처리 장치를 사용함으로써, 도 2의 (c)에 도시한 바와 같이, a-Si막(20)에 RTA 및 ELA에 의한 어닐링 처리를 실시하고, a-Si막(20)을 다결정화하여 p-Si막(24)을 형성한다. RTA와 ELA와의 2종류의 어닐링 처리에 의해, 특히, a-Si막(20)의 게이트 전극(12) 상에 중첩된 영역, 즉, 실리콘막의 TFT의 채널 영역이 되는 영역에, 균질하고 또한 적절한 그레인 사이즈의 p-Si 영역이 형성된다.

a-Si의 다결정화 후, 기판(10)의 이면에서의 노광(소위 이면 노광)에 의해서, 도 2의 (d)에 도시한 바와 같이, p-Si막(24) 상의 게이트 전극(12)과 대향하는 위치에 SiO₂로 이루어지는 채널 스톱퍼막(30)을 형성한다.

채널 스톱퍼막(30) 형성 후, 도 3의 (a)에 도시한 바와 같이, 채널 스톱퍼막(30)을 마스크로 하여, p-Si막(24)에 불순물(P)을 도핑하고, 채널 스톱퍼막(30)의 바로 아래 영역(채널 영역: 34)을 제외한 영역에 저농도(N-)의 불순물을 도핑 영역을 형성한다.

계속해서 LDD 구조의 TFT의 LD(Lightly Doped) 영역을 형성하기 위해서, 도 3의 (b)에 도시한 바와 같이, 채널 영역 및 LD 영역으로 해야 할 영역을 마스크(54)로 피복하고, 저농도 도핑의 경우와 동일한 전도형의 불순물을 p-Si막(24)에 고농도 도핑한다. 이에 따라 마스크(54)로 피복된 LD 영역의 외측에 고농도 도핑 영역(N+)이 형성된다.

저농도 및 고농도의 불순물 도핑 후, 도 3의 (c)에 도시한 바와 같이, 도핑한 불순물을 활성화하기 위해서 활성화 어닐링 처리를 행한다. 그리고, 이 어닐링 처리에 의해서, TFT의 LD 소스·드레인 영역(32LS, 32LD)과, 소스·드레인 영역(36S, 36D)이 각각 형성된다.

그런데, 불순물 활성화 어닐링 처리에서는, ELA 또는 RTA 중 어느 하나를 이용하여도 좋고, 또한 다결정화의 경우와 마찬가지로 ELA와 RTA의 양쪽을 조합시켜도 좋다. 또, 이 활성화 어닐링에 있어서의 어닐링 온도는 ELA의 경우, p-Si막(24)의 막 온도가 900도 정도가 되도록 설정되고(단, 분위기 온도는 300

°도 정도), RTA의 경우에는, 분위기 온도(가열 영역 온도)가 600도 정도가 되도록 설정된다.

불순물 활성화 후, p-Si막(24)을 원하는 형상으로 패터닝하고, 도 3의 (d)에 도시한 바와 같이, SiO₂, SiN을 적층하여 층간 절연막(50)을 형성하고, 이 층간 절연막(50)의 소스 영역(36S)의 위치에 콘택홀을 형성한다. 그리고, 그 위에 Al 등으로 이루어지는 소스 전

극(70)을 형성하고, 소스 영역(36S)과 접속한다.

액정 표시 장치의 액정 구동용 TFT를 형성하는 경우에는, 이들 상층의 아크릴 수지를 이용하여 평담화막(52)을 형성하고, 평담화막(52) 및 층간 절연막(50)에 콘택홀을 형성하고, 그 위에 화소 전극(60)이 되는 ITO를 형성하여, ITO와 드레인 영역(36D)을 접속한다. 또, 도 3의 (d)에 있어서는, 소스 영역(36S)을 소스 전극(70)에 접속하고, 드레인 영역(36D)을 화소 전극(60)에 접속하고 있지만, 이것에는 한정되지 않고, 소스 영역(36S)을 화소 전극(60)에 접속하는 경우도 있다.

이상과 같이 하여, LCD 패널의 화상 표시부에는 매트릭스형의 화소마다 도 3의 (d)와 같은 구성의 TFT가 형성되고, LCD의 한쪽 기판이 얻어진다. 그리고, 이 기판과, 공통 전극 및 컬러 필터가 형성된 대향 기판을 접합시켜, 사이에 액정을 봉입함으로써 LCD 장치가 얻어진다. 그리고, 각 TFT를 이용하여 화소 전극(60)의 전위를 제어함으로써, 액정에 원하는 전압이 인가되고 표시가 행해진다.

또, 상술한 바와 같은 공정에서 얻어진 TFT를, 액정 구동용이 아니라, IC 내의 각종 메모리 소자나 논리 회로 소자 또는 액정 표시 장치의 구동 회로의 논리 회로의 소자로서 이용하는 경우에는, 화소 전극(60)은 불필요하다. 이 경우에는, 소스 전극(70)의 형성과 동시에, 마찬가지로의 수법으로 드레인 전극(70D)을 형성하고, 드레인 영역(36D)과 접속한다. 또한, 소스·드레인 전극의 형성 후에 있어서는, 각각 대응하는 소스·드레인 배선에 접속한다. 단, 전극과 배선을 일체적으로 형성하는 경우에는 소스·드레인 전극의 형성과 동시에 필요한 배선 패턴을 형성한다.

또, 본 실시 형태의 다결정 실리콘 TFT를 이용하여 표시 장치의 구동 회로등의 소자로서, 예를 들면 CMOS(Complementary Metal Oxide Semiconductor)를 형성하는 경우에는, n채널(n-ch) TFT와 p채널(p-ch) TFT를 형성한다. 구체적으로는, 도 3의 (a), 도 3의 (b)에 도시한 공정에 있어서, n형 불순물을 먼저 도핑하는 경우, p-ch TFT의 형성 영역을 마스크재로 피복해 놓는다. 그리고, n형 불순물 도핑 후, p-ch TFT를 피복하는 마스크재를 박리하고, 반대로 n-ch TFT 영역을 마스크하고, 이 상태에서 도 3의 (a)와 마찬가지로 하여 p형의 불순물을 도핑한다(단, LDD 구조는 채용하지 않는다). n형 및 p형의 불순물 도핑 종료 후에는, n-ch TFT, p-ch TFT 모두 동시에 활성화 처리를 행하고, 도 3의 (d)에 도시한 바와 같은 TFT를 작성한다(단, 화소 전극(60)은 형성되지 않는다).

발명의 효과

본 발명에 의하면, 열전도율이 높은 재료막의 위쪽에 적어도 일부가 중첩되도록 형성된 a-Si막의 다결정화에 있어서, a-Si막에 대해 램프 어닐링 처리 및 레이저 어닐링 처리를 실시한다. 램프 어닐링에 의해, 열전도율이 높은 재료막 상의 a-Si 영역을 충분히 가열할 수 있으므로, 레이저 어닐링만으로는 충분한 다결정화가 곤란한 상기 재료막 상에 적절한 그레인 사이즈의 p-Si를 형성할 수 있다.

상기 열전도율이 높은 재료막의 위쪽에 a-Si막이 형성된 구성은, 예를 들면 하부 게이트 구조의 TFT나, 다층 구조의 반도체 장치 등에 있어서 적용될 수 있는 구성이다. 따라서, 상술한 바와 같은 다결정화 방법을 예를 들면 하부 게이트 구조의 다결정 실리콘 TFT의 제조에 이용하면, 고 열전도율의 게이트 전극의 위쪽 영역에 형성되는 TFT의 능동층(채널 영역)에 있어서의 a-Si를, 적절하게 다결정화하는 것이 가능해져서, 특성이 뛰어난 다결정 실리콘 TFT가 얻어진다.

또한, 본 발명에서는 다결정화 어닐링에 있어서, 2종류의 어닐링 처리를 병용하기 때문에, 저온에서 a-Si를 다결정화할 수 있고, 염가인 유리 기판 등의 위에서도 p-Si막을 형성할 수 있어 이것을 이용하여 다결정 실리콘 TFT를 형성하는 것이 더욱 용이해진다.

본 발명의 다결정 실리콘 TFT는 액정 표시 장치 등, 매트릭스형의 표시 장치의 화소 구동용의 스위칭 소자나, 표시 장치의 구동 회로의 스위칭 소자 중 어느한쪽, 혹은 이들 양쪽의 스위칭 소자로서 용이하게 이용할 수 있다. 특히, 본 발명에서는 다결정 실리콘 TFT가 얻어지기 때문에, 화소 구동용의 스위칭 소자와 표시 장치의 구동 회로의 스위칭 소자를, 동일 기판 상에 동일 공정에 의해서 형성하는 것이 가능해진다. 이 때문에, 표시 장치의 비용 절감으로 이어지고, 또한 패널 주변에 구동 회로가 내장되도록 되므로, 표시 장치의 박형화, 경량화를 도모할 수 있어 표시 장치의 표시 품질의 향상과 함께 대형화에도 유리해진다.

또한, 상술한 바와 같은 다결정화 방법을 실행하기 위한 어닐링 장치는, 단시간 열 어닐링 처리부와, 레이저 어닐링 처리부를 근접 배치함으로써 용이하게 구성할 수 있어 장치 개발을 위한 많은 노동력이 불필요하게 된다.

(57)청구의 범위

청구항1

기판 상에 형성된 열전도율이 높은 재료막의 위쪽에 비정질 실리콘막을 형성하는 단계;

상기 비정질 실리콘막 형성 후, 상기 비정질 실리콘막에 대해 램프 어닐링 처리 및 레이저 어닐링 처리를 실시하고, 상기 비정질 실리콘막을 다결정화시켜 다결정 실리콘막을 얻는 단계

를 포함하는 것을 특징으로 하는 다결정 실리콘막 제조 방법.

청구항2

유리 기판 상에 형성되는 하부 게이트 구조의 박막 트랜지스터의 제조 방법에 있어서,

상기 유리 기판 상에 원하는 패턴으로 형성된 게이트 전극 재료막의 위쪽에, 비정질 실리콘막을 게이트 절연막을 통해 형성하는 단계;

상기 비정질 실리콘막 형성 후, 상기 비정질 실리콘막에 대해 램프 어닐링 처리 및 레이저 어닐링 처리를 실시하고, 상기 비정질 실리콘막을 다결정화시켜 다결정 실리콘막을 형성하는 단계;

상기 다결정 실리콘막을 박막 트랜지스터의 능동층으로 하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항3

유리 기판 상에 형성되는 하부 게이트 구조의 박막 트랜지스터의 제조 방법에 있어서,

상기 유리 기판 상에 원하는 패턴으로 형성된 게이트 전극 재료막의 위쪽에, 비정질 실리콘막을 게이트 절연막을 통해 형성하는 단계;

상기 비정질 실리콘막 형성 후, 상기 비정질 실리콘막에 대해 램프 어닐링 처리 및 레이저 어닐링 처리를 실시하고, 상기 비정질 실리콘막을 다결정화하여 다결정 실리콘막을 형성하는 단계;

상기 다결정 실리콘막에 불순물을 도핑하는 단계;

상기 다결정 실리콘막에 대해 레이저 어닐링 처리 또는 램프 어닐링 처리 중 어느 한쪽 또는 양쪽을 실시하여 상기 도핑한 불순물을 활성화하고, 상기 다결정 실리콘막 중에 박막 트랜지스터의 소스, 드레인 영역 및 채널 영역을 형성하는 단계를

포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항4

제1항에 있어서, 상기 비정질 실리콘막의 다결정화시에, 상기 비정질 실리콘막에 대해 램프 조사에 의한 단시간 열 어닐링 처리를 실시하고, 상기 단시간 열 어닐링 처리를 전후하여 상기 비정질 실리콘막에 대해 엑시머 레이저광 조사에 의한 레이저 어닐링 처리를 실시하고, 상기 비정질 실리콘막을 다결정화하여 다결정 실리콘막을 형성하는 것을 특징으로 하는 다결정 실리콘막 제조 방법.

청구항5

제2항에 있어서, 상기 비정질 실리콘막의 다결정화시에, 상기 비정질 실리콘막에 대해 램프 조사에 의한 단시간 열 어닐링 처리를 실시하고, 상기 단시간 열 어닐링 처리를 전후하여 상기 비정질 실리콘막에 대해 엑시머 레이저광 조사에 의한 레이저 어닐링 처리를 실시하고, 상기 비정질 실리콘막을 다결정화하여 다결정 실리콘막을 형성하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항6

제3항에 있어서, 상기 비정질 실리콘막의 다결정화시에, 상기 비정질 실리콘막에 대해 램프 조사에 의한 단시간 열 어닐링 처리를 실시하고, 상기 단시간 열 어닐링 처리를 전후하여 상기 비정질 실리콘막에 대해 엑시머 레이저광 조사에 의한 레이저 어닐링 처리를 실시하고, 상기 비정질 실리콘막을 다결정화하여 다결정 실리콘막을 형성하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

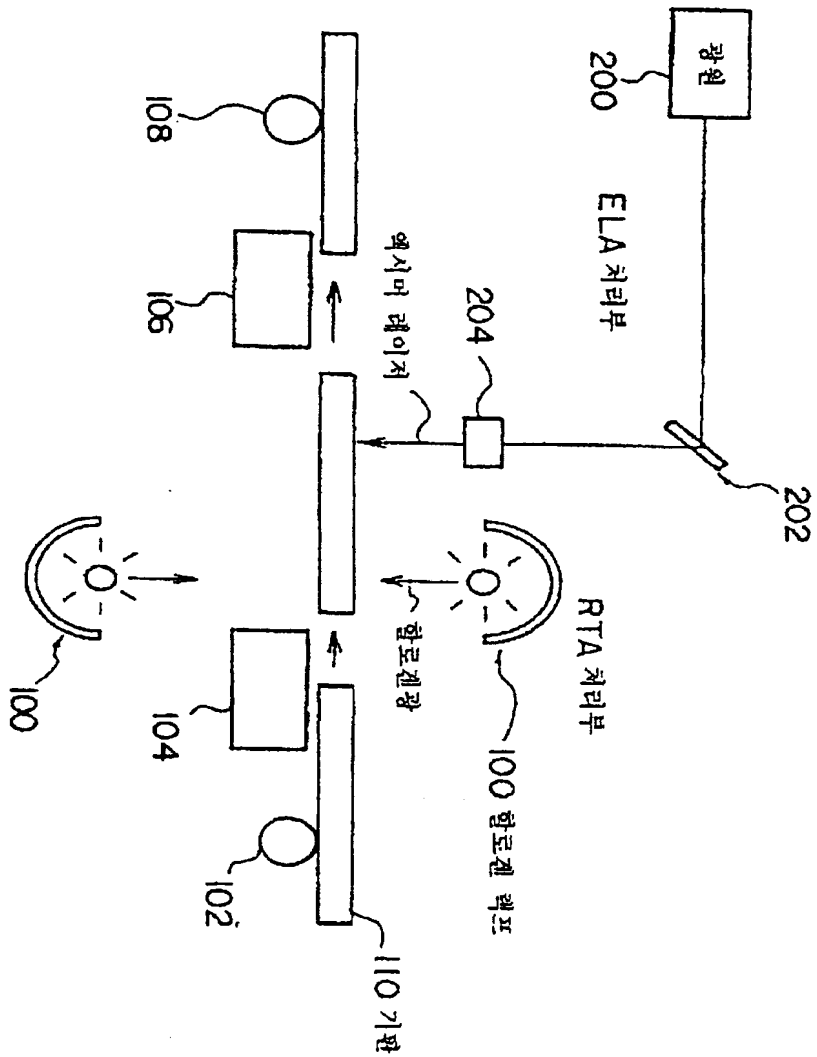
청구항7

비정질 실리콘을 다결정화하기 위한 어닐링 장치에 있어서,

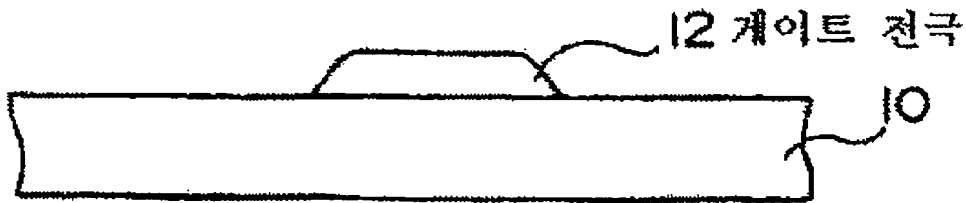
할로겐광을 조사하여 피어닐링체를 어닐링하기 위한 단시간 열 어닐링 처리부와, 엑시머 레이저를 조사하여 상기 피어닐링체를 어닐링하기 위한 레이저 어닐링 처리부를 근접 배치한 것을 특징으로 하는 어닐링 장치.

도면

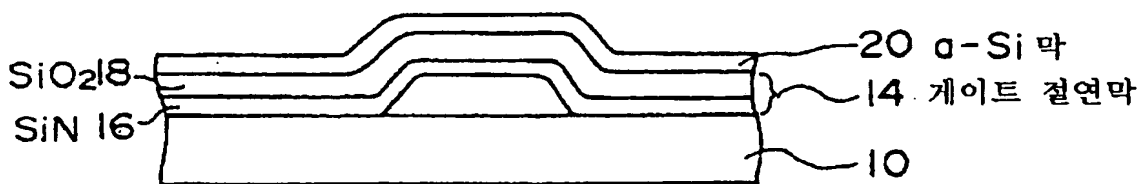
도면1



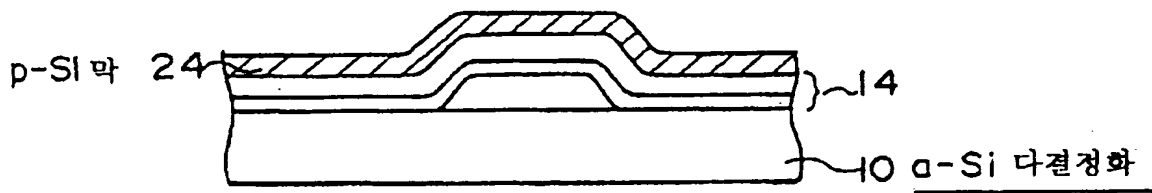
도면2a



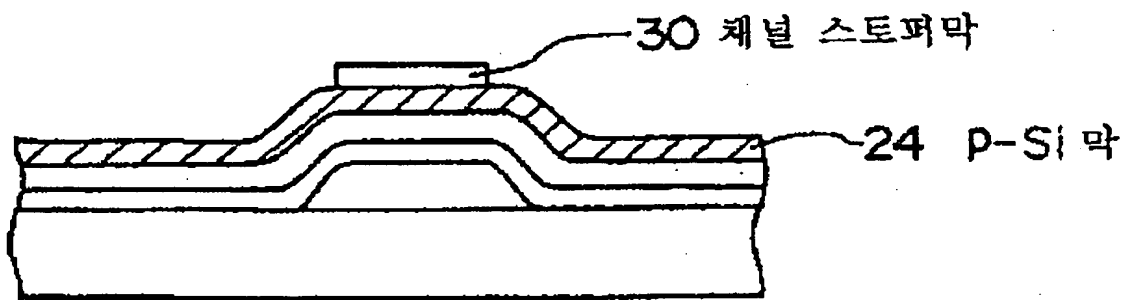
도면2b



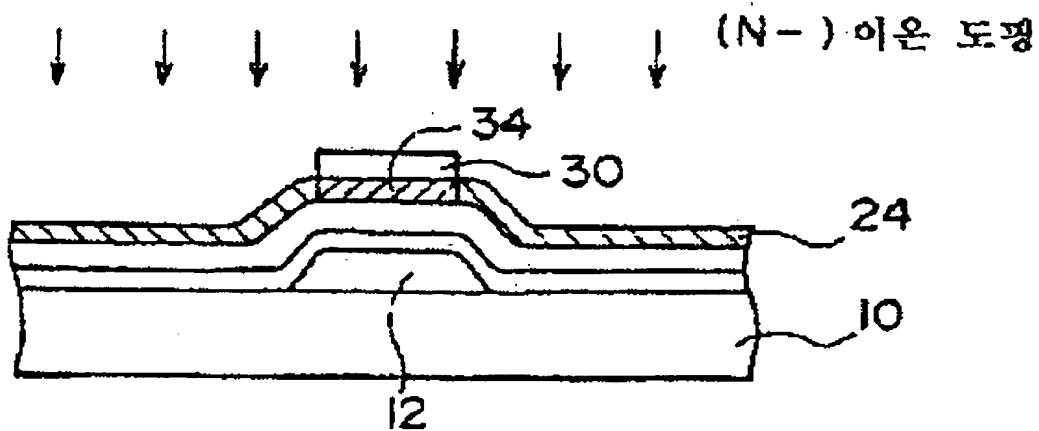
도면2c



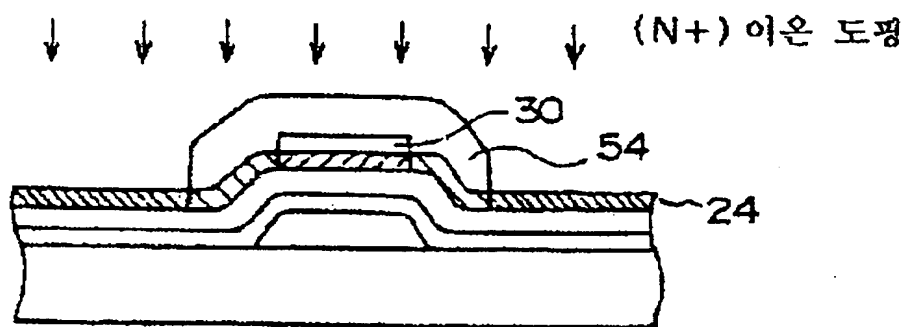
도면2d



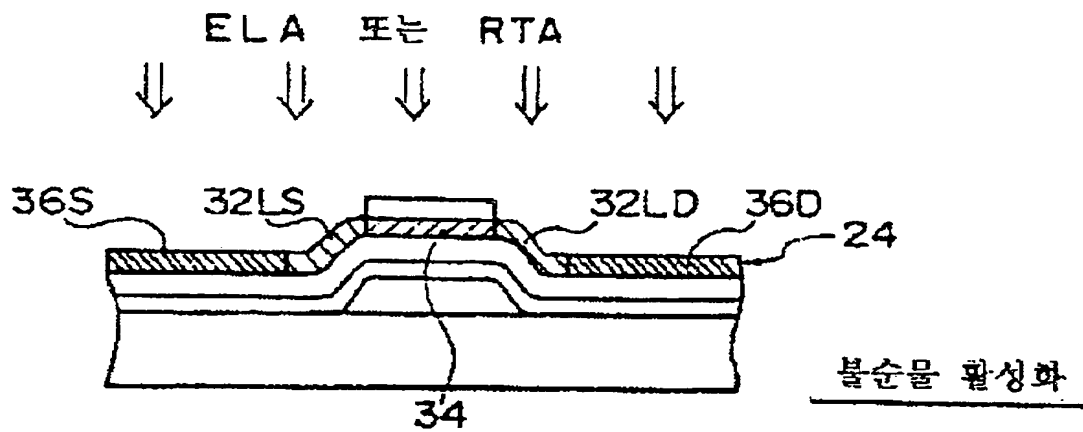
도면3a



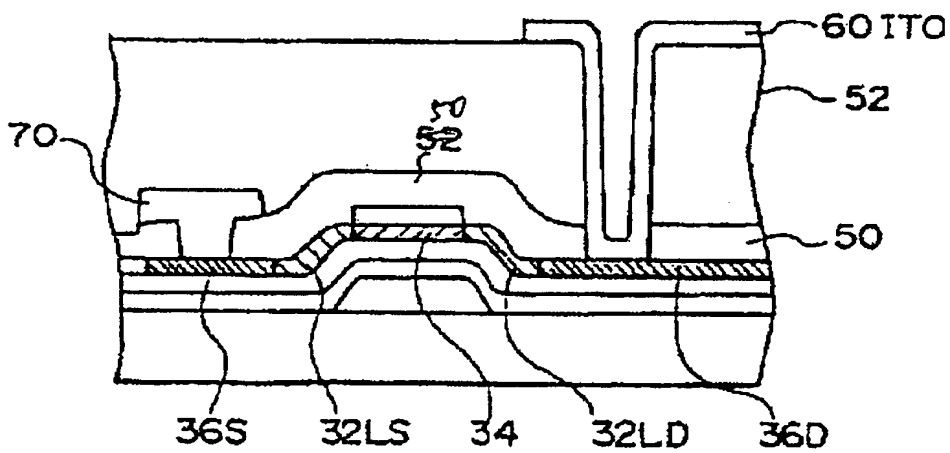
도면3b



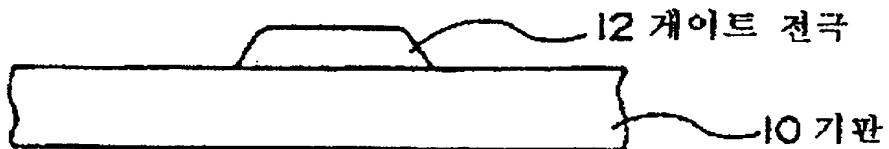
도면3c



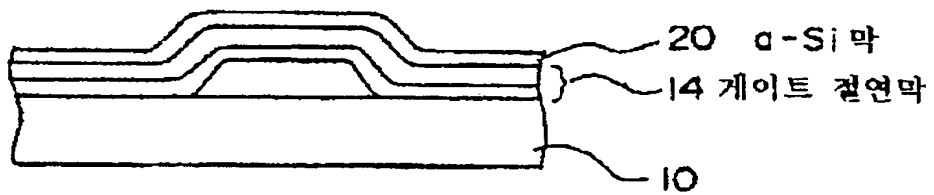
도면3d



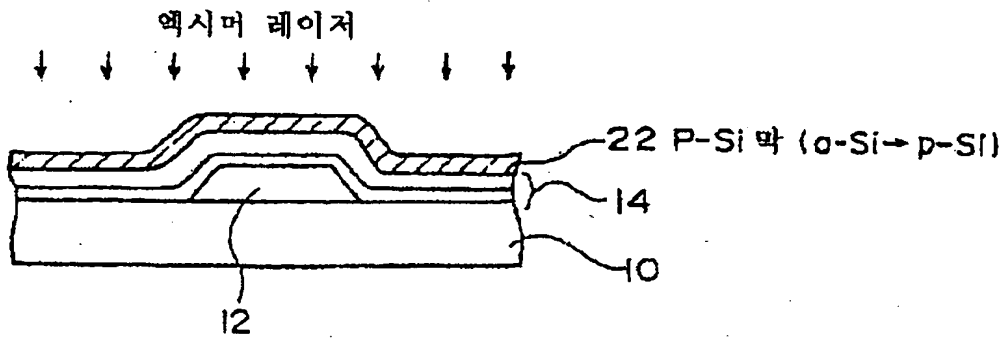
도면4a



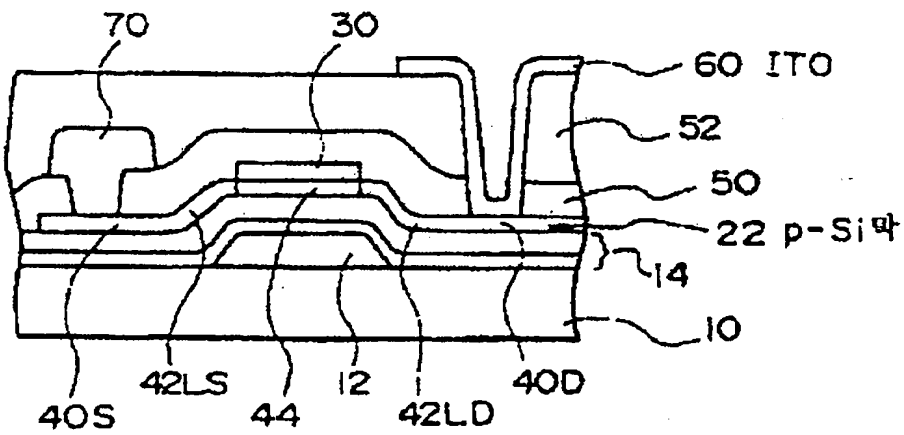
도면4b



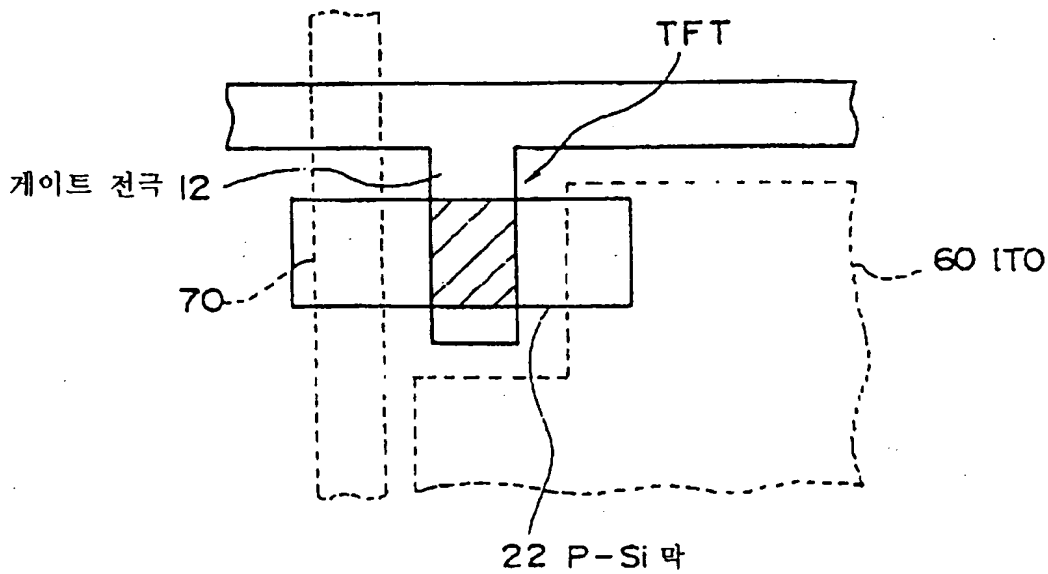
도면4c



도면4d



도면5



도면6

